PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017107

(43)Date of publication of application : 22.01.1999

(51)Int.Cl. H01L 27/00

H01L 21/02

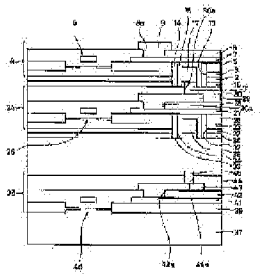
H01L 21/3063

H01L 27/12

(21)Application number : 09-171740 (71)Applicant : SONY CORP

(22)Date of filing : 27.06.1997 (72)Inventor : MATSUSHITA TAKESHI

(54) THREE-DIMENSIONAL CIRCUIT ELEMENT AND MANUFACTURE THEREOF



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a three-dimensional circuit element which enables a CCD, a MOS type imaging device or a trench type capacitor to

include a DRAM used for a memory cell, and a manufacturing method which enables manufacture of such a three-dimensional circuit element at a low cost. SOLUTION: A single crystal silicon layer 3 is formed on a single crystal silicon substrate via a porous silicon layer, and a two-dimensional LSI 4 is formed on the single crystal silicon layer 3. After a supporting substrate is adhered to the surface of the two-dimensional LSI 4, the two-dimensional LSI 4 is peeled off from the single crystal silicon substrate at the portion of the porous silicon layer, and the back surface of the two-dimensional LSI 4 is adhered to the surface of a two-dimensional LSI 24 formed on another single crystal silicon substrate. After a required number of thin-film two-dimensional LSIs are thus bonded, the surface of a two-dimensional LSI 38 formed on a single crystal silicon substrate 37 is bonded to the back surface of the last two-dimensional LSI that is bonded, thus manufacturing a three-dimensional VLSI. The thickness of the single crystal silicon layer is determined in accordance with the two-dimensional LSI to be formed.

LEGAL STATUS

[Date of request for examination]	21.10.2003
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

CLAIMS

[Claim(s)]

[Claim 1] The process which forms a porous layer on a semi-conductor substrate, and the process which forms a single crystal half conductor layer on the above-mentioned porous layer, The process which forms the 1st two dimensional circuit component in the above-mentioned single crystal half conductor layer, and the process which exfoliates and imprints the two dimensional circuit component of the above-mentioned semi-conductor substrate to the above 1st on other substrates, The manufacture approach of the three-dimensional circuit element characterized by having the process which makes the two dimensional circuit component of the above 1st rival the 2nd two dimensional circuit component.

[Claim 2] The manufacture approach of the three-dimensional circuit element according to claim 1 characterized by forming the above-mentioned porous layer by carrying out anodization of the above-mentioned semi-conductor substrate.

[Claim 3] After pasting up a substrate besides the above on the front face of the two dimensional circuit component of the above 1st, a supersonic wave is irradiated at the above-mentioned semi-conductor substrate. And/ The above-mentioned semi-conductor substrate, and a substrate besides the above are

made to produce the tensile stress of hard flow mutually. Or and/ Or the manufacture approach of the three-dimensional circuit element according to claim 1 characterized by making the two dimensional circuit component of the above 1st exfoliate from the above-mentioned semi-conductor substrate by cooling the above-mentioned semi-conductor substrate, and a substrate besides the above.

[Claim 4] The manufacture approach of the three-dimensional circuit element according to claim 1 characterized by the above-mentioned single crystal half conductor layer being a single-crystal-silicon layer.

[Claim 5] The three-dimensional circuit element characterized by being formed in the single crystal half conductor layer in which at least one of the above-mentioned two dimensional circuit components of the 2nd more than layer has the thickness of 1 micrometers or more in the three-dimensional circuit element from which the laminating of two or more two dimensional circuit components was carried out, and which they consisted of.

[Claim 6] The three-dimensional circuit element according to claim 5 characterized by forming the above-mentioned two dimensional circuit component of the 1st layer in a semi-conductor substrate.

[Claim 7] The three-dimensional circuit element according to claim 5 characterized by the above-mentioned two dimensional circuit component of the maximum upper layer constituting a photosensor.

[Claim 8] The three-dimensional circuit element according to claim 5 characterized by the above-mentioned two dimensional circuit component of the maximum upper layer constituting a solar battery.

[Claim 9] The three-dimensional circuit element according to claim 5 characterized by at least one of two or more of the above-mentioned two dimensional circuit components constituting a wiring layer.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a three-dimensional circuit element and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, researches and developments of a three-dimensional circuit element have been done by carrying out the laminating of the 2-dimensional IC, and solidifying it aiming at unification (multi-functionalization) of reduction of high integration by the increment in ** number of layers, densification, and ** wire length, high-speed-operation-izing of the component by reduction of load-carrying capacity, the coincidence signal transduction between the layers through the detailed through hole of ** large number (juxtaposition signal processing), and ** different-species device. And in order to realize this three-dimensional circuit element, a SOI (Silicon-on-Insulator) technique, a multilayer-interconnection technique, etc. for carrying out the laminating of the 2-dimensional IC to a multilayer have been developed. However, since the crystallinity of SOI deteriorated with the SOI technique by the conventional recrystallization etc. as it becomes the 1st layer, the 2nd layer, and the upper layer when the laminating of the SOI is carried out to a multilayer, it

was difficult to put the three-dimensional circuit element by this SOI technique in practical use in practice. Moreover, since the every laminating of the SOI was carried out further, manufacturing a three-dimensional circuit element took great time amount, and cost performance was very bad.

[0003] On the other hand, the technique called a CUBIC (Cumulatively Bonded IC) technique is also developed as a technique for realizing a three-dimensional circuit element. This CUBIC technique is a kind of a device lamination technique, and the description is to use thin film-like IC layer per lamination especially. An example of the manufacture approach of the three dimensions LSI by the conventional CUBIC technique is shown in drawing 11 - drawing 16 .

[0004] In the manufacture approach of the three dimensions LSI by this conventional CUBIC technique, first, as shown in drawing 11 , 2-dimensional LSI102 is formed on the single crystal silicon substrate 101 according to an LSI process. this 2-dimensional LSI102 -- setting -- a sign 103 -- the oxide film for isolation, and 104 -- MOSFET and 105 -- polycrystalline silicon wiring and 106 -- in an interlayer insulation film and 106a, an interlayer insulation film and 108a show a beer hall, and, as for a beer hall and 107, 109 shows a tungsten bump, as for surface metal wiring and 108. Then, adhesives 110 are applied to the front face of an interlayer insulation film 108, and the support substrate 111 is pasted up.

[0005] Next, as shown in drawing 12 , with a rear-face side to a selection polishing technique, the single crystal silicon substrate 101 is ground as a polish stopper, the oxide film 103 for isolation is thinned in it, and the single-crystal-silicon layer 111 is formed.

[0006] Next, as shown in drawing 13 , after forming in the oxide film 103 for isolation the through hole 112 which reaches the polycrystalline silicon wiring 105, the rear-face metal wiring 113 which contacted the polycrystalline silicon wiring 105 through this through hole 112 is formed on the oxide film 103 for separation. Next, the rear face of 2-dimensional LSI102 is coated with polyimide 114. Next, after forming contact hole 114a in this polyimide 114, the Au/In pool 115 is

formed in this contact hole 114a.

[0007] On the other hand, as shown in drawing 14 , 2-dimensional LSI117 is formed in another single crystal silicon substrate 116 according to an LSI process. this 2-dimensional LSI117 -- setting -- a sign 118 -- the oxide film for isolation, and 119 -- MOSFET and 120 -- polycrystalline silicon wiring and 121 -- in an interlayer insulation film and 121a, an interlayer insulation film and 123a show a beer hall, and, as for a beer hall and 122, 124 shows a tungsten bump, as for surface metal wiring and 123. Then, the front face of an interlayer insulation film 123 is coated with polyimide 125.

[0008] Next, the front face of 2-dimensional LSI117 which shows the rear face of 2-dimensional LSI102 shown in drawing 13 to drawing 14 is pasted with polyimide 114 and 125, and it is made to rival, as shown in drawing 15 . At this time, alignment is carried out so that the tungsten bump 124 may contact the Au/In pool 115, and it heats to the about temperature which the Au/In pool 115 fuses in this condition, for example, 350 degrees C, and pressurizes further. The tungsten bump 124 and the Au/In pool 115 are electrically connected by this.

[0009] Then, polish or etching removes the support substrate 111. By this, as shown in drawing 16 , the three dimensions LSI made into the purpose of the structure where the laminating of 2-dimensional LSI 102 and 1117 of a bilayer was carried out are completed.

[0010] Since according to the manufacture approach of the three dimensions LSI by this CUBIC technique 2-dimensional LSI is formed in two or more single crystal silicon substrates in concurrency and such 2-dimensional LSI is made to rival one by one at low temperature (about 350 degrees C), the three dimensions LSI of the multilayer structure which carried out the laminating of the 2-dimensional LSI more than a bilayer can be manufactured efficiently.

[0011]

[Problem(s) to be Solved by the Invention] However, by the manufacture approach of the three dimensions LSI by the above-mentioned conventional CUBIC technique, since the selection polishing technique which uses the oxide

film 103 for isolation as a polish stopper is used in order to thin the single crystal silicon substrate 101, the thickness of the single-crystal-silicon layer 111 obtained by thinning is mostly determined by the thickness of this oxide film 103 for isolation. However, since the thickness of this oxide film 103 for isolation is usually 1 micrometer or less, DRAM which used for the memory cell 2-dimensional LSI which needs single crystal silicon, for example, CCD, MOS type pickup device, or trench mold capacitor 1 micrometers or more of thickness cannot be formed with this CUBIC technique. Moreover, with this CUBIC technique, the cost of materials costs dearly according to the single crystal silicon substrate of only the number of layers of 2-dimensional LSI and the support substrate of only the number of (number of layerses -1) being required etc., and there is a problem that the manufacturing cost of three dimensions LSI will become high.

[0012] Therefore, the purpose of this invention is to offer the manufacture approach of a three-dimensional circuit element that the three-dimensional circuit element containing DRAM which used CCD, the MOS type pickup device, and the trench mold capacitor for the memory cell can be manufactured by low cost.

[0013] Other purposes of this invention are to offer the three-dimensional circuit element in which DRAM which used CCD, the MOS type pickup device, and the trench mold capacitor for the memory cell can be included.

[0014]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach of the three-dimensional circuit element by invention of the 1st of this invention The process which forms a porous layer on a semi-conductor substrate, and the process which forms a single crystal half conductor layer on a porous layer, It is characterized by having the process which forms the 1st two dimensional circuit component in a single crystal half conductor layer, the process which exfoliates the 1st two dimensional circuit component from a semi-conductor substrate, and is imprinted on other substrates, and the process which makes the 1st two dimensional circuit component rival the 2nd two dimensional

circuit component.

[0015] Typically in this 1st invention, a porous layer is formed by carrying out anodization of the semi-conductor substrate. Moreover, for example, after pasting up other substrates (support substrate) on the front face of the 1st two dimensional circuit component, the 1st two dimensional circuit component is exfoliated from a semi-conductor substrate by irradiating a supersonic wave at a semi-conductor substrate, making a semi-conductor substrate and other substrates produce the tensile stress of hard flow mutually, and/or cooling a semi-conductor substrate and other substrates. As other substrates, a silicon substrate, a quartz substrate, etc. can be used, for example.

[0016] The three-dimensional circuit element by invention of the 2nd of this invention is characterized by being formed in the single crystal half conductor layer in which at least one of the two dimensional circuit components of the 2nd more than layer has the thickness of 1 micrometers or more in the three-dimensional circuit element from which the laminating of two or more two dimensional circuit components was carried out and which they consisted of.

[0017] In this invention, even if the lowest layer which constitutes a three-dimensional circuit element, i.e., the two dimensional circuit component of the 1st layer, is formed in a semi-conductor substrate, it may be formed in the single crystal half conductor layer formed through the porous layer on the semi-conductor substrate.

[0018] In this invention, it opts for the function and engine performance of two or more two dimensional circuit components which constitute a three-dimensional circuit element by design according to the function and engine performance which are required of a three-dimensional circuit element. When some examples of this two dimensional circuit component are given, they are memory, such as DRAM, a microprocessor, an A/D converter, a D/A converter, a photosensor, a solar battery, etc. Photosensors are CCD, an MOS type pickup device, etc.

[0019] In this invention, when a two dimensional circuit component is DRAM which used the trench mold capacitor for the memory cell, the thickness of the

single crystal half conductor layer in which this DRAM is formed is about 3 micrometers or more than it. Moreover, when a two dimensional circuit component is an MOS type pickup device, the thickness of the single crystal half conductor layer in which this MOS type pickup device is formed is about 10 micrometers or more than it. Furthermore, when a two dimensional circuit component is CCD, the thickness of the single crystal half conductor layer in which this CDD is formed is about 20 micrometers or more than it.

[0020] In this invention, in unifying image sensors and a digital disposal circuit aiming at multi-functionalization of a three-dimensional circuit element, it uses photosensors, such as CCD and an MOS type pickup device, as a two dimensional circuit component of the maximum upper layer. Here, to colorize further, using CCD as a photosensor, it is necessary to form a color filter on CCD. Since this color filter generally cannot bear the temperature at the time of performing wiring between layers using an In/Au pool (about 350 degrees C), after making all two dimensional circuit components rival, it removes other substrates temporarily used as a support substrate, exposes a CCD front face, and forms a color filter on it. Furthermore, a solar battery may be used as a two dimensional circuit component of the maximum upper layer for a generation of electrical energy.

[0021] The wiring layer in which only wiring was formed may be contained in two or more two dimensional circuit components in this invention. By use of this wiring layer, since the wire length between components can be shortened, high-speed operation-ization of a three-dimensional circuit element can be attained.

[0022] In this invention, although the single crystal half conductor layer in which a two dimensional circuit component is formed is a single-crystal-silicon layer typically, they may be single crystal compound semiconductor layers, such as gallium arsenide (GaAs). Similarly, as a semi-conductor substrate, compound semiconductor substrates, such as gallium phosphide (GaP) besides a silicon substrate and gallium arsenide (GaAs), may be used.

[0023] since according to the manufacture approach of the three-dimensional

circuit element by invention of the 1st of this invention constituted as mentioned above a thin film-like two dimensional circuit component can be formed by exfoliating in the part of a porous layer after forming a two dimensional circuit component in the single crystal half conductor layer formed through the porous layer on the semi-conductor substrate -- each duality -- a circuit element can be formed in a short time. And a three-dimensional circuit element can be manufactured by carrying out the laminating of these two dimensional circuit components in a short time. Moreover, DRAM which used CCD, the MOS type pickup device, and the trench mold capacitor for the memory cell can be formed in this single crystal half conductor layer by setting thickness of a single crystal half conductor layer to 1 micrometers or more. Furthermore, since the semi-conductor substrate used for formation of a two dimensional circuit component is reusable, only the part can aim at reduction of the manufacturing cost of a three-dimensional circuit element.

[0024] Moreover, according to the three-dimensional circuit element by invention of the 2nd of this invention constituted as mentioned above, DRAM which used CCD, an MOS type pickup device, and trench capacity for this single crystal half conductor layer as a two dimensional circuit component can be formed by being prepared in the single crystal half conductor layer in which at least one of the two dimensional circuit components of the 2nd more than layer has the thickness of 1 micrometers or more.

[0025]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about 1 operation gestalt of this invention. In addition, in the complete diagram of an operation gestalt, the sign identically same into a corresponding part is attached.

[0026] Drawing 1 - drawing 10 show the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[0027] In this operation gestalt, first, as shown in drawing 1 , the single crystal silicon substrate 1 is prepared. From a viewpoint which forms a porosity silicon layer on it by the anodization described below, although it is desirable that it is p

mold, this single crystal silicon substrate 1 can form a porosity silicon layer depending on conditioning, even if it is n mold. The resistivity of this single crystal silicon substrate 1 is 0.01 - 0.02 ohm-cm suitably.

[0028] Next, as shown in drawing 2 , the porosity silicon layer 2 is formed in the front face of the single crystal silicon substrate 1 by the anodization method. In this case, formation of this porosity silicon layer 2 is divided into three steps, and is performed. Namely, 0.5 - 3 mA/cm2 in order to enable it to form a crystalline good epitaxial layer on the porosity silicon layer 2 as a first stage story first By performing for example, anodization for 8 minutes with the current density of extent, a porosity rate forms a small porosity silicon layer. Next, it is 3 - 20 mA/cm2 as a second stage story. By performing for example, anodization for 8 minutes with the current density of extent, a porosity rate forms the porosity silicon layer which is whenever [middle]. Next, it is 40 - 300 mA/cm2 as the third step. By performing for example, anodization for several seconds with the current density of extent, a porosity rate forms a large porosity silicon layer. Porosity silicon layer 2a with the very large porosity rate which serves as the origin of detached core formation in the porosity silicon layer 2 at the time of this anodization of the third step is formed thinly. In addition, after it will stop anodization and time amount will pass for a while in this anodization of the third step if a current is passed for 1 second with the same current density again after it will stop anodization and time amount will pass for a while, if a current is passed for 1 second when performing anodization, for example for 3 seconds, a current may be passed for 1 second with the again same current density, and anodization may be performed. In such anodization, the thing of HF:C2 H5 OH=1:1 is used as an anodization solution, for example. In order to lessen reduction of the thickness of this single crystal silicon substrate 1 and to make [many] the count of usable, as for the thickness of this porosity silicon layer 2, it is desirable to make it as thin as possible, and it is suitably chosen as 2-15 micrometers, for example, is chosen as about 8 micrometers from a viewpoint which repeats and uses the single crystal silicon substrate 1.

[0029] Next, for example, the hole (not shown) which exists in the front face of the porosity silicon layer 2 is plugged up by performing hydrogen annealing for 30 minutes at 1100 degrees C. then, it is shown in drawing 3 -- as -- the porosity silicon layer 2 top -- for example, SiH4 SiCl4 etc. -- with the CVD method used as material gas, epitaxial growth of the single-crystal-silicon layer 3 of p mold or n mold is carried out at 1070 degrees C. Although the thickness of this single-crystal-silicon layer 3 is chosen according to 2-dimensional LSI formed in this single-crystal-silicon layer 3, it is suitably chosen as 1-30 micrometers. Moreover, the high impurity concentration of the single-crystal-silicon layer 3 is about 1014-1017-/cm3 suitably. It is chosen. In order to raise the engine performance of a device depending on the case, the high impurity concentration of this single-crystal-silicon layer 3 may be changed within a layer.

[0030] While performing above-mentioned hydrogen annealing and epitaxial growth, as a result of the silicon atom in the porosity silicon layer 2 moving and carrying out a rearrangement, porosity silicon layer 2a with the large porosity rate in this porosity silicon layer 2 becomes a layer with it, i.e., a detached core.

[remarkable tensile strength and] [low]

[0031] Next, as shown in drawing 4 , it considers that the single-crystal-silicon layer 3 is the substrate of LSI, and 2-dimensional LSI4 of a first pass eye is formed according to an LSI process. this 2-dimensional LSI4 -- setting -- a sign 5 -- the oxide film for isolation, and 6 -- in MOSFET and 7, a beer hall and 9 show surface metal wiring, and, as for polycrystalline silicon wiring and 8, 10 shows an interlayer insulation film, as for an interlayer insulation film and 8a.

[0032] Next, as shown in drawing 5 , the front face of 2-dimensional LSI4 is coated with polyimide 11, and a support substrate 12 like a silicon substrate is pasted up.

[0033] Next, as shown in drawing 6 , 2-dimensional LSI4 is exfoliated from the single crystal silicon substrate 1. It is in the condition which dipped the single crystal silicon substrate 1 into solutions, such as water and ethanol, for example, the frequency of 25kHz and the supersonic wave of power 600W are specifically

irradiated, with the energy of this supersonic wave, the peel strength of porosity silicon layer 2a as a detached core is weakened, and the single crystal silicon substrate 1 is exfoliated in the part of this porosity silicon layer 2a. Or the single crystal silicon substrate 1 is exfoliated in the part of porosity silicon layer 2a as a detached core by making the support substrate 12 and the single crystal silicon substrate 1 produce a tensile stress to hard flow mutually. Or the single crystal silicon substrate 1 is exfoliated in the part of porosity silicon layer 2a as a detached core by cooling by spraying the nitrogen gas of the low temperature which evaporated the single crystal silicon substrate 1 and the support substrate 12 from liquid nitrogen, and producing the shear stress by the difference of the heat shrink of the single crystal silicon substrate 1 and the support substrate 12. Or you may exfoliate the single crystal silicon substrate 1 in the part of porosity silicon layer 2a as a detached core by combining 2 of three kinds of these approaches, or three.

[0034] As shown in drawing 7 , to next, the exfoliative single-crystal-silicon layer 3 and the exfoliative oxide film 5 for isolation of 2-dimensional LSI4 on the back Form the through hole 13 which reaches the polycrystalline silicon wiring 7, and an oxide film 14 is formed in this through hole 13. Carry out etching removal of this oxide film 14 partially, and the polycrystalline silicon wiring 7 is exposed again. After forming the rear-face metal wiring 15 in contact with this polycrystalline silicon wiring 7 and coating polyimide 16 further, the Au/In pool 17 is formed in the crevice of the rear-face metal wiring 15 in a through hole 13.

[0035] On the other hand, as shown in drawing 8 , the porosity silicon layer 22 and the single-crystal-silicon layer 23 are formed like **** on another single crystal silicon substrate 21, and 2-dimensional LSI24 is formed in this single-crystal-silicon layer 23. this 2-dimensional LSI24 -- setting -- a sign 25 -- the oxide film for isolation, and 26 -- MOSFET and 27 -- polycrystalline silicon wiring and 28 -- in an interlayer insulation film and 28a, an interlayer insulation film and 30a show a beer hall, and, as for a beer hall and 29, 31 shows a tungsten plug, as for surface metal wiring and 30.

[0036] Next, it pastes up with polyimide 16 and 30 and the rear face of 2-dimensional LSI4 shown in drawing 7 is made to rival on the front face of 2-dimensional LSI24 shown in drawing 8 , as shown in drawing 9 .
[0037] Next, 2-dimensional LSI 4 and 24 is exfoliated from the single crystal silicon substrate 21 like ****. Then, it pastes up and the rear face of 2-dimensional LSI24 is made to rival on the front face of another 2-dimensional LSI formed beforehand.
[0038] To next, the exfoliative single-crystal-silicon layer 23 and the exfoliative oxide film 25 for isolation of 2-dimensional LSI24 on the back Form the through hole 32 which reaches the polycrystalline silicon wiring 27, and an oxide film 33 is formed in this through hole 32. Carry out etching removal of this oxide film 33 partially, and the polycrystalline silicon wiring 27 is exposed again. After forming the rear-face metal wiring 34 in contact with this polycrystalline silicon wiring 27 and coating polyimide 35 further, the Au/In pool 36 is formed in the crevice of the rear-face metal wiring 34 in a through hole 32.
[0039] Thus, after only a required number of layers makes 2-dimensional LSI of the shape of a thin film formed in the single-crystal-silicon layer rival one by one, the front face of 2-dimensional LSI38 formed in the rear face of 2-dimensional LSI stretched by the last at the single crystal silicon substrate 37 as shown in drawing 10 is made to rival. this 2-dimensional LSI38 -- setting -- a sign 39 -- the oxide film for isolation, and 40 -- MOSFET and 41 -- polycrystalline silicon wiring and 42 -- in an interlayer insulation film and 42a, an interlayer insulation film and 44a show a beer hall, and, as for a beer hall and 43, 45 shows a tungsten plug, as for surface metal wiring and 44. Then, polish or etching removes the support substrate 11, and the three-dimensions VLSI made into the purpose is completed.
As mentioned above, according to this operation gestalt, after forming the single-crystal-silicon layer 3 through the porosity silicon layer 2 on the single crystal silicon substrate 1 and forming 2-dimensional LSI in this single-crystal-silicon layer 3, thin film-like 2-dimensional LSI can be easily formed by exfoliating in the part of the porosity silicon layer 2 in a short time. And after doing in this way and

making 2-dimensional LSI of the shape of a required number of a thin film rival, the three-dimensions VLSI which consists of 2-dimensional LSI of a desired number of layers can be manufactured in a short time by making such 2-dimensional LSI rival 2-dimensional LSI38 formed in the single crystal silicon substrate 37.

[0040] Moreover, since the single crystal silicon substrate 1 will be in the condition which shows in drawing 1 again by removing the porosity silicon layer 2 formed in the front face, the process again shown in drawing 2 can be performed. That is, since reuse of the single crystal silicon substrate 1 is possible, only the part can attain low cost-ization of a single crystal thin film silicon solar cell. Supposing the thickness specifically removed by polish for the thickness of the porosity silicon layer 2 to carry out the reuse of 8 micrometers and the single crystal silicon substrate 1 is about 3 micrometers, the thickness of the single crystal silicon substrate 1 which decreases in 1 cycle of manufacture of a single crystal thin film silicon solar cell is 11 micrometers. Therefore, since reduction of the thickness of the single crystal silicon substrate 1 is only 110 micrometers even if it uses the single crystal silicon substrate 1 10 times, it is usually possible to use the single crystal silicon substrate 1 at least 10 times. In addition, etching, electrolytic polishing, etc. can perform removal of the porosity silicon layer 2 formed in the front face of the single crystal silicon substrate 1. It is current density, when an example of conditions in case electrolytic polishing removes this porosity silicon layer 2 was given and a solution with low HF concentration, for example, the thing of HF:C2 H5 OH=1:1, is used for an electrolytic-polishing solution 400 mA/cm2 It considers as extent.

[0041] By the above, high accumulation, high density, high-speed operation, and the three-dimensions VLSI of the high performance in which juxtaposition signal processing and multi-functionalization are still more possible can be manufactured by low cost.

[0042] As mentioned above, although the operation gestalt of this invention was explained concretely, this invention is not limited to an above-mentioned

operation gestalt, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0043] For example, in an above-mentioned operation gestalt, although the lowest layer 33, i.e., 2-dimensional LSI of the 1st layer, is formed in the single crystal silicon substrate 32, it may be 2-dimensional LSI of the 2nd more than layer, and 2-dimensional LSI of the shape of a thin film similarly formed in the single-crystal-silicon layer.

[0044]

[Effect of the Invention] As explained above, according to the manufacture approach of the three-dimensional circuit element by this invention DRAM which used CCD, the MOS type pickup device, and the trench mold capacitor for the memory cell can be formed in this single crystal half conductor layer by setting thickness of a single crystal half conductor layer to 1 micrometers or more. Moreover, can form each two dimensional circuit component in a short time, and since the single crystal substrate used for formation of a two dimensional circuit component is reusable The three-dimensional circuit element containing DRAM which used CCD, the MOS type pickup device, and the trench mold capacitor for the memory cell can be manufactured by low cost.

[0045] Moreover, according to the three-dimensional circuit element by this invention, the three-dimensional circuit element containing DRAM which used CCD, the MOS type pickup device, and the trench mold capacitor for the memory cell is realizable by being prepared in the single crystal half conductor layer in which at least one of the two dimensional circuit components of the 2nd more than layer has the thickness of 1 micrometers or more.

[Translation done.]

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 2] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 3] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 4] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 5] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 6] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 7] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 8] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 9] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

[Drawing 10] It is a sectional view for explaining the manufacture approach of the three-dimensions VLSI by 1 operation gestalt of this invention.

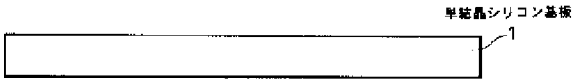
[Drawing 11] It is a sectional view for explaining the manufacture approach of the three-dimensional IC by the conventional CUBIC technique.

[Drawing 12] It is a sectional view for explaining the manufacture approach of the three-dimensional IC by the conventional CUBIC technique.
[Drawing 13] It is a sectional view for explaining the manufacture approach of the three-dimensional IC by the conventional CUBIC technique.
[Drawing 14] It is a sectional view for explaining the manufacture approach of the three-dimensional IC by the conventional CUBIC technique.
[Drawing 15] It is a sectional view for explaining the manufacture approach of the three-dimensional IC by the conventional CUBIC technique.
[Drawing 16] It is a sectional view for explaining the manufacture approach of the three-dimensional IC by the conventional CUBIC technique.
[Description of Notations]
1, 21, 37 [... The oxide film for isolation, 6, 26 40 / ... 11 MOSFET, 16 / ... Polyimide 12 / ... Support substrate] ... A single crystal silicon substrate, 2, 2a, 22, 22a ... 3 A porosity silicon layer, 23 ... A single-crystal-silicon layer, 4 and 24, 38...2-dimensional LSI, 5, 25, 39

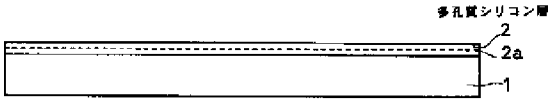
[Translation done.]

DRAWINGS

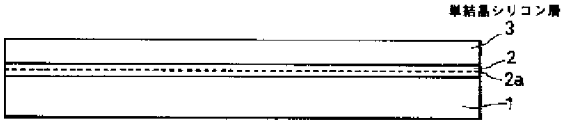
[Drawing 1]



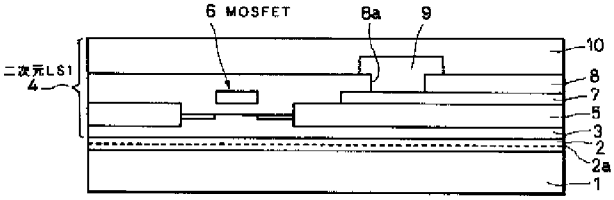
[Drawing 2]



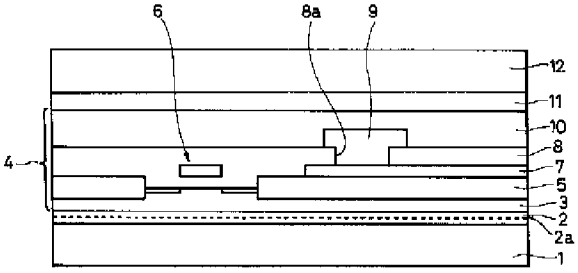
[Drawing 3]



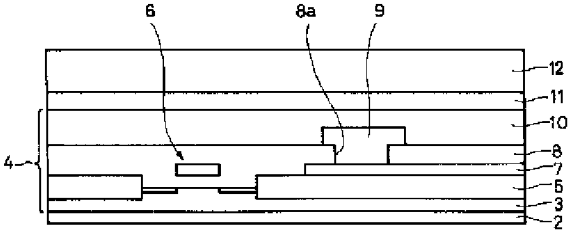
[Drawing 4]



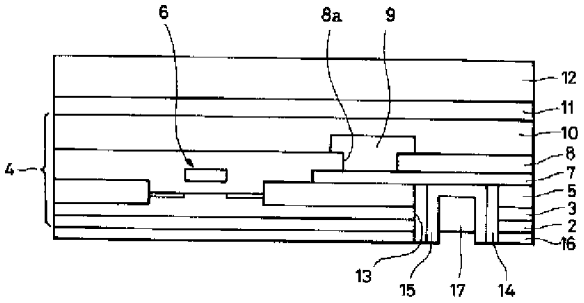
[Drawing 5]



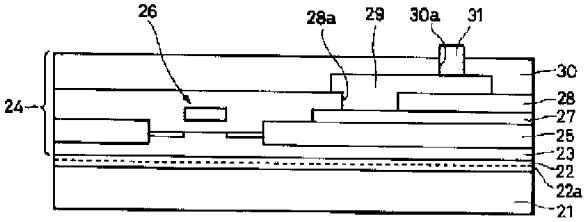
[Drawing 6]



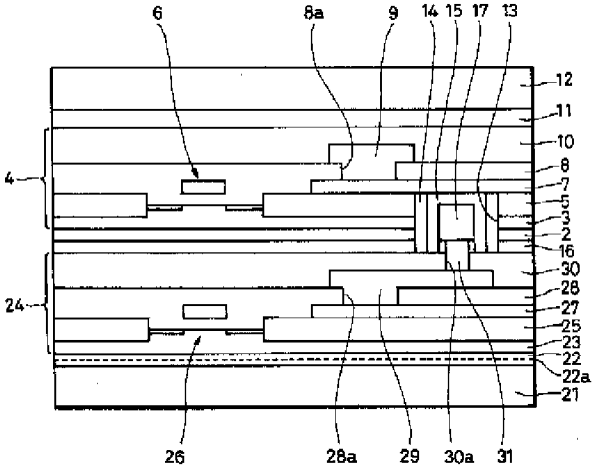
[Drawing 7]



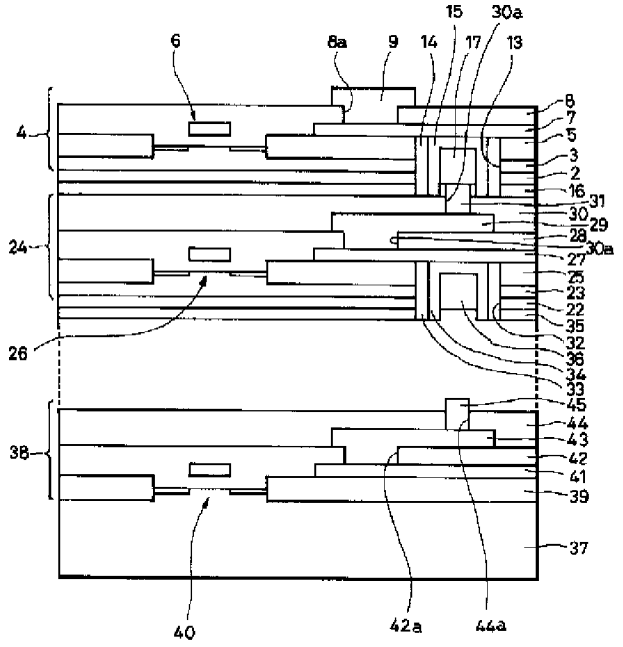
[Drawing 8]



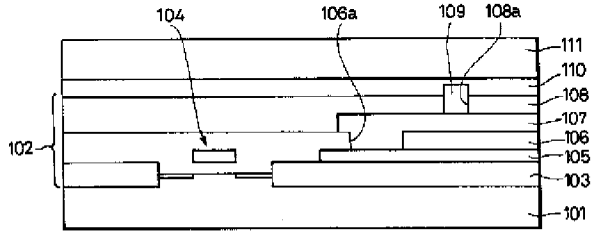
[Drawing 9]



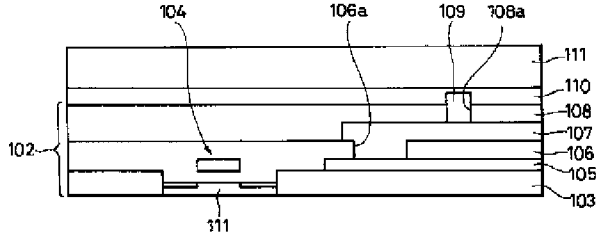
[Drawing 10]



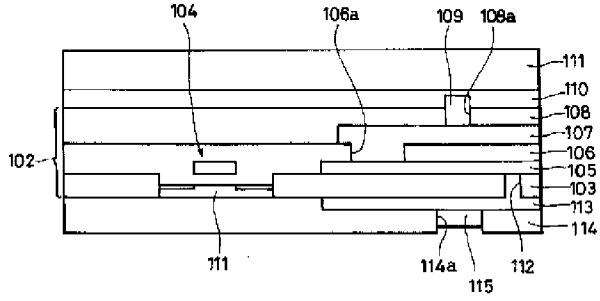
[Drawing 11]



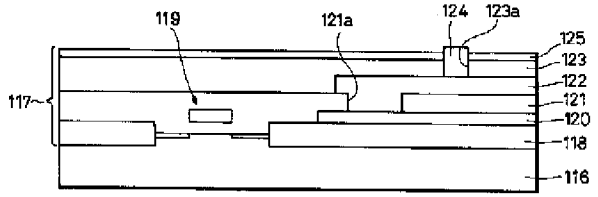
[Drawing 12]



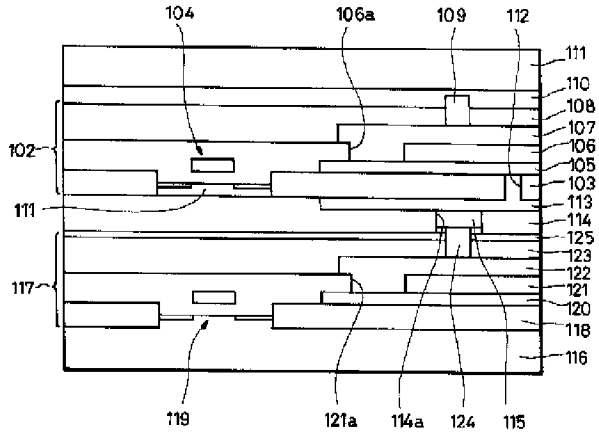
[Drawing 13]



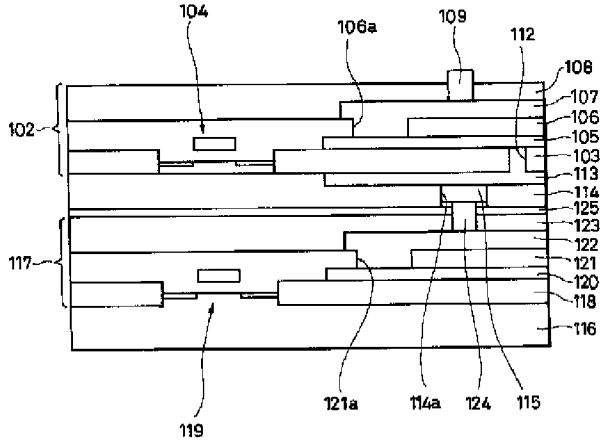
[Drawing 14]



[Drawing 15]



[Drawing 16]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平11－17107

(43)公開日　平成11年(1999)１月22日

(51)Int.Cl.[6]		識別記号	ＦＩ		
Ｈ０１Ｌ	27/00	３０１	Ｈ０１Ｌ	27/00	３０１Ｂ
	21/02			21/02	Ｂ
	21/3063			27/12	Ｂ
	27/12			21/306	Ｌ

審査請求　未請求　請求項の数９　ＯＬ　（全　８　頁）

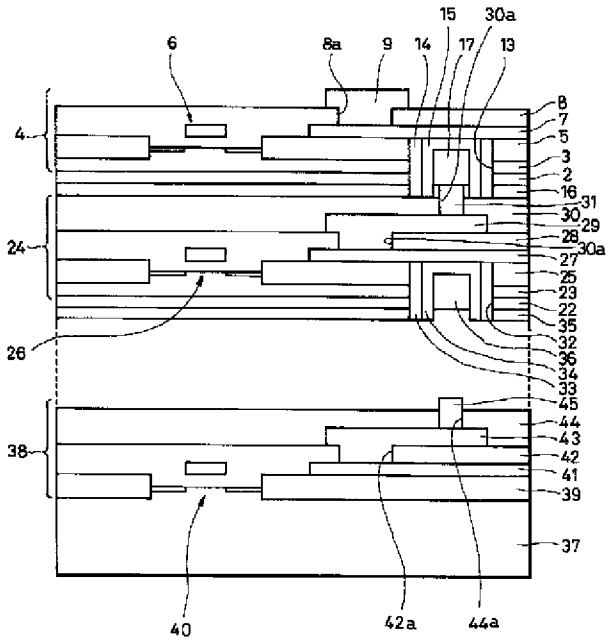
(21)出願番号　特願平9－171740

(22)出願日　平成９年(1997)６月27日

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号
(72)発明者　松下　孟史
東京都品川区北品川６丁目７番35号　ソニー株式会社内
(74)代理人　弁理士　杉浦　正知

(54)【発明の名称】　三次元回路素子およびその製造方法

(57)【要約】
【課題】　ＣＣＤやＭＯＳ型撮像素子やトレンチ型キャパシタをメモリセルに用いたＤＲＡＭなどを含ませることができる三次元回路素子およびそのような三次元回路素子を低コストで製造することができる製造方法を提供する。
【解決手段】　単結晶シリコン基板上に多孔質シリコン層を介して単結晶シリコン層３を形成し、この単結晶シリコン層３に二次元ＬＳＩ４を形成する。この二次元ＬＳＩ４の表面に支持基板を接着した後、多孔質シリコン層の部分で単結晶シリコン基板から二次元ＬＳＩ４を剥離し、この二次元ＬＳＩ４の裏面を別の単結晶シリコン基板上に形成された二次元ＬＳＩ２４の表面に接着する。このようにして必要な数の薄膜状の二次元ＬＳＩを張り合わせた後、最後に張り合わされた二次元ＬＳＩの裏面に、単結晶シリコン基板３７に形成された二次元ＬＳＩ３８の表面を張り合わせ、三次元超ＬＳＩを製造する。単結晶シリコン層の厚さは形成する二次元ＬＳＩに応じて決める。



【特許請求の範囲】
【請求項１】　半導体基板上に多孔質層を形成する工程と、
上記多孔質層上に単結晶半導体層を形成する工程と、
上記単結晶半導体層に第１の二次元回路素子を形成する工程と、
上記半導体基板から上記第１の二次元回路素子を剥離し、他の基板上に転写する工程と、
上記第１の二次元回路素子を第２の二次元回路素子と張り合わせる工程とを有することを特徴とする三次元回路素子の製造方法。
【請求項２】　上記半導体基板を陽極化成することにより上記多孔質層を形成するようにしたことを特徴とする請求項１記載の三次元回路素子の製造方法。
【請求項３】　上記第１の二次元回路素子の表面に上記他の基板を接着した後、上記半導体基板に超音波を照射し、および／または、上記半導体基板と上記他の基板とに互いに逆方向の引っ張り応力を生じさせ、および／または、上記半導体基板と上記他の基板とを冷却することにより、上記第１の二次元回路素子を上記半導体基板から剥離するようにしたことを特徴とする請求項１記載の三次元回路素子の製造方法。
【請求項４】　上記単結晶半導体層が単結晶シリコン層であることを特徴とする請求項１記載の三次元回路素子の製造方法。
【請求項５】　複数の二次元回路素子が積層されて構成された三次元回路素子において、
第２層目以上の上記二次元回路素子の少なくとも一つが１μｍ以上の厚さを有する単結晶半導体層に形成されていることを特徴とする三次元回路素子。
【請求項６】　第１層目の上記二次元回路素子が半導体基板に形成されていることを特徴とする請求項５記載の三次元回路素子。
【請求項７】　最上層の上記二次元回路素子が光センサーを構成することを特徴とする請求項５記載の三次元回路素子。
【請求項８】　最上層の上記二次元回路素子が太陽電池を構成することを特徴とする請求項５記載の三次元回路素子。
【請求項９】　上記複数の二次元回路素子の少なくとも一つが配線層を構成することを特徴とする請求項５記載の三次元回路素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、三次元回路素子およびその製造方法に関する。
【０００２】
【従来の技術】従来、三次元回路素子の研究開発は、二次元ＩＣを積層し、立体化することにより、①層数の増加による高集積化、高密度化、②配線長の減少、負荷容量の低減による素子の高速動作化、③多数の微細スルーホールを介した層間の同時信号伝達（並列信号処理）、④異種デバイスの一体化（多機能化）、を目指して行われてきた。そして、この三次元回路素子を実現するため、二次元ＩＣを多層に積層するためのＳＯＩ（Silicon-on-Insulator）技術や多層配線技術などが開発されてきた。しかしながら、従来の再結晶化などによるＳＯＩ技術では、ＳＯＩを多層に積層した場合、第１層目、第２層目と上層になるにつれてＳＯＩの結晶性が劣化していくため、このＳＯＩ技術による三次元回路素子を実用化することは実際上困難であった。また、ＳＯＩを一層ずつ積層していくことから、三次元回路素子を製造するのに多大な時間がかかり、コストパフォーマンスが大変悪かった。
【０００３】一方、三次元回路素子を実現するための技術として、ＣＵＢＩＣ（Cumulatively Bonded IC）技術と呼ばれる技術も開発されている。このＣＵＢＩＣ技術は、デバイス張り合わせ技術の一種であり、特に、薄膜状のＩＣ層を張り合わせ単位に使用することに特徴がある。図１１～図１６に従来のＣＵＢＩＣ技術による三次元ＬＳＩの製造方法の一例を示す。
【０００４】この従来のＣＵＢＩＣ技術による三次元ＬＳＩの製造方法においては、まず、図１１に示すように、ＬＳＩプロセスにより単結晶シリコン基板１０１上に二次元ＬＳＩ１０２を形成する。この二次元ＬＳＩ１０２において、符号１０３は素子分離用酸化膜、１０４はＭＯＳＦＥＴ、１０５は多結晶シリコン配線、１０６は層間絶縁膜、１０６ａはビアホール、１０７は表面金属配線、１０８は層間絶縁膜、１０８ａはビアホール、１０９はタングステンバンプを示す。この後、層間絶縁膜１０８の表面に接着剤１１０を塗布し、支持基板１１１を接着する。
【０００５】次に、図１２に示すように、単結晶シリコン基板１０１を裏面側から選択ポリッシング技術により素子分離用酸化膜１０３を研磨ストッパーとして研磨して薄化し、単結晶シリコン層１１１を形成する。
【０００６】次に、図１３に示すように、素子分離用酸化膜１０３に多結晶シリコン配線１０５に達するスルーホール１１２を形成した後、このスルーホール１１２を通じて多結晶シリコン配線１０５にコンタクトした裏面金属配線１１３を分離用酸化膜１０３上に形成する。次に、二次元ＬＳＩ１０２の裏面にポリイミド１１４をコーティングする。次に、このポリイミド１１４にコンタクトホール１１４ａを形成した後、このコンタクトホール１１４ａ内にＡｕ／Ｉｎプール１１５を形成する。
【０００７】一方、図１４に示すように、別の単結晶シリコン基板１１６にＬＳＩプロセスにより二次元ＬＳＩ１１７を形成する。この二次元ＬＳＩ１１７において、符号１１８は素子分離用酸化膜、１１９はＭＯＳＦＥＴ、１２０は多結晶シリコン配線、１２１は層間絶縁

膜、１２１ａはビアホール、１２２は表面金属配線、１２３は層間絶縁膜、１２３ａはビアホール、１２４はタングステンバンプを示す。この後、層間絶縁膜１２３の表面にポリイミド１２５をコーティングする。

【０００８】次に、図１５に示すように、図１３に示す二次元ＬＳＩ１０２の裏面を図１４に示す二次元ＬＳＩ１１７の表面にポリイミド１１４、１２５により接着し、張り合わせる。このとき、タングステンバンプ１２４がＡｕ／Ｉｎプール１１５にコンタクトするように位置合わせし、この状態でＡｕ／Ｉｎプール１１５が溶融する温度、例えば３５０℃程度に加熱し、さらに加圧する。これによって、タングステンバンプ１２４とＡｕ／Ｉｎプール１１５とが電気的に接続される。

【０００９】この後、支持基板１１１を研磨またはエッチングにより除去する。これによって、図１６に示すように、二層の二次元ＬＳＩ１０２、１１１７が積層された構造の目的とする三次元ＬＳＩが完成する。

【００１０】このＣＵＢＩＣ技術による三次元ＬＳＩの製造方法によれば、複数の単結晶シリコン基板に二次元ＬＳＩを同時並行的に形成し、これらの二次元ＬＳＩを低温（３５０℃程度）で順次張り合わせていくため、二層以上の二次元ＬＳＩを積層した多層構造の三次元ＬＳＩを効率よく製造することができる。

【００１１】

【発明が解決しようとする課題】しかしながら、上述の従来のＣＵＢＩＣ技術による三次元ＬＳＩの製造方法では、単結晶シリコン基板１０１を薄化するために素子分離用酸化膜１０３を研磨ストッパとする選択ポリッシング技術を用いるので、薄化により得られる単結晶シリコン層１１１の厚さはこの素子分離用酸化膜１０３の厚さによってほぼ決定される。ところが、この素子分離用酸化膜１０３の厚さは通常１μｍ以下であるので、１μｍ以上の厚さの単結晶シリコンが必要な二次元ＬＳＩ、例えば、ＣＣＤ、ＭＯＳ型撮像素子あるいはトレンチ型キャパシタをメモリセルに用いたＤＲＡＭをこのＣＵＢＩＣ技術により形成することはできない。また、このＣＵＢＩＣ技術では、二次元ＬＳＩの層数だけの単結晶シリコン基板と（層数－１）の数だけの支持基板が必要であることなどにより材料費が高くつき、三次元ＬＳＩの製造コストが高くなってしまうという問題がある。

【００１２】したがって、この発明の目的は、ＣＣＤやＭＯＳ型撮像素子やトレンチ型キャパシタをメモリセルに用いたＤＲＡＭなどを含む三次元回路素子を低コストで製造することができる三次元回路素子の製造方法を提供することにある。

【００１３】この発明の他の目的は、ＣＣＤやＭＯＳ型撮像素子やトレンチ型キャパシタをメモリセルに用いたＤＲＡＭなどを含ませることができる三次元回路素子を提供することにある。

【００１４】

【課題を解決するための手段】上記目的を達成するために、この発明の第１の発明による三次元回路素子の製造方法は、半導体基板上に多孔質層を形成する工程と、多孔質層上に単結晶半導体層を形成する工程と、単結晶半導体層に第１の二次元回路素子を形成する工程と、半導体基板から第１の二次元回路素子を剥離し、他の基板上に転写する工程と、第１の二次元回路素子を第２の二次元回路素子と張り合わせる工程とを有することを特徴とするものである。

【００１５】この第１の発明においては、典型的には、半導体基板を陽極化成することにより多孔質層を形成する。また、例えば、第１の二次元回路素子の表面に他の基板（支持基板）を接着した後、半導体基板に超音波を照射し、および／または、半導体基板と他の基板とに互いに逆方向の引っ張り応力を生じさせ、および／または、半導体基板と他の基板とを冷却することにより、第１の二次元回路素子を半導体基板から剥離する。他の基板としては、例えばシリコン基板や石英基板などを用いることができる。

【００１６】この発明の第２の発明による三次元回路素子は、複数の二次元回路素子が積層されて構成された三次元回路素子において、第２層目以上の二次元回路素子の少なくとも一つが１μｍ以上の厚さを有する単結晶半導体層に形成されていることを特徴とするものである。

【００１７】この発明において、三次元回路素子を構成する最下層、すなわち第１層目の二次元回路素子は、半導体基板に形成されたものであっても、半導体基板上に多孔質層を介して形成された単結晶半導体層に形成されたものであってもよい。

【００１８】この発明において、三次元回路素子を構成する複数の二次元回路素子の機能や性能は、三次元回路素子に要求される機能や性能に応じて設計で決定される。この二次元回路素子の例をいくつか挙げると、ＤＲＡＭなどのメモリ、マイクロプロセッサ、Ａ／Ｄコンバータ、Ｄ／Ａコンバータ、光センサー、太陽電池などである。光センサーはＣＣＤやＭＯＳ型撮像素子などである。

【００１９】この発明において、二次元回路素子がトレンチ型キャパシタをメモリセルに用いたＤＲＡＭである場合、このＤＲＡＭが形成される単結晶半導体層の厚さは例えば３μｍ程度またはそれ以上である。また、二次元回路素子がＭＯＳ型撮像素子である場合、このＭＯＳ型撮像素子が形成される単結晶半導体層の厚さは例えば１０μｍ程度またはそれ以上である。さらに、二次元回路素子がＣＣＤである場合、このＣＤＤが形成される単結晶半導体層の厚さは例えば２０μｍ程度またはそれ以上である。

【００２０】この発明において、例えば、三次元回路素子の多機能化を目指し、イメージセンサと信号処理回路とを一体化する場合などには、最上層の二次元回路素子

として、ＣＣＤやＭＯＳ型撮像素子などの光センサーを用いる。ここで、光センサーとしてＣＣＤを用い、さらにカラー化する場合には、カラーフィルタをＣＣＤ上に形成する必要がある。このカラーフィルタは、一般に、例えばＩｎ／Ａｕプールを用いて層間配線を行う際の温度（約３５０℃）に耐えられないので、すべての二次元回路素子を張り合わせた後、一時的に支持基板として用いた他の基板を除去し、ＣＣＤ表面を露出させ、その上にカラーフィルタを形成する。さらに、発電のために、最上層の二次元回路素子として太陽電池を用いてもよい。

【００２１】この発明において、複数の二次元回路素子には、配線のみが形成された配線層が含まれることもある。この配線層の使用により、素子間配線長を短縮化することができるため、三次元回路素子の高速動作化を図ることができる。

【００２２】この発明においては、二次元回路素子が形成される単結晶半導体層は、典型的には単結晶シリコン層であるが、ヒ化ガリウム（ＧａＡｓ）などの単結晶化合物半導体層であってもよい。同様に、半導体基板としては、シリコン基板のほか、リン化ガリウム（ＧａＰ）やヒ化ガリウム（ＧａＡｓ）などの化合物半導体基板を用いてもよい。

【００２３】上述のように構成されたこの発明の第１の発明による三次元回路素子の製造方法によれば、半導体基板上に多孔質層を介して形成された単結晶半導体層に二次元回路素子を形成した後、多孔質層の部分で剥離を行うことにより薄膜状の二次元回路素子を形成することができるので、個々の二元回路素子を短時間で形成することができる。そして、これらの二次元回路素子を積層することにより三次元回路素子を短時間で製造することができる。また、単結晶半導体層の厚さを１μｍ以上とすることによりこの単結晶半導体層にＣＣＤやＭＯＳ型撮像素子やトレンチ型キャパシタをメモリセルに用いたＤＲＡＭなどを形成することができる。さらに、二次元回路素子の形成に用いた半導体基板は再利用することができるので、その分だけ三次元回路素子の製造コストの低減を図ることができる。

【００２４】また、上述のように構成されたこの発明の第２の発明による三次元回路素子によれば、第２層目以上の二次元回路素子の少なくとも一つが１μｍ以上の厚さを有する単結晶半導体層に設けられていることにより、この単結晶半導体層に二次元回路素子としてＣＣＤやＭＯＳ型撮像素子やトレンチ容量を用いたＤＲＡＭなどを形成することができる。

【００２５】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【００２６】図１～図１０は、この発明の一実施形態による三次元超ＬＳＩの製造方法を示す。

【００２７】この実施形態においては、まず、図１に示すように、単結晶シリコン基板１を用意する。この単結晶シリコン基板１は、次に述べる陽極化成によりその上に多孔質シリコン層を形成する観点からは、ｐ型であることが望ましいが、ｎ型であっても、条件設定によっては多孔質シリコン層を形成することが可能である。この単結晶シリコン基板１の抵抗率は、好適には０．０１～０．０２Ω・ｃｍである。

【００２８】次に、図２に示すように、単結晶シリコン基板１の表面に陽極化成法により多孔質シリコン層２を形成する。この場合、この多孔質シリコン層２の形成は、三段階に分けて行う。すなわち、まず、第一段階として、多孔質シリコン層２上に結晶性の良好なエピタキシャル層を形成することができるようにするため、例えば０．５～３ｍＡ／ｃｍ^2 程度の電流密度で例えば８分間陽極化成を行うことにより、多孔率が小さい多孔質シリコン層を形成する。次に、第二段階として、例えば３～２０ｍＡ／ｃｍ^2 程度の電流密度で例えば８分間陽極化成を行うことにより、多孔率が中程度の多孔質シリコン層を形成する。次に、第三段階として、例えば４０～３００ｍＡ／ｃｍ^2 程度の電流密度で例えば数秒間陽極化成を行うことにより、多孔率が大きい多孔質シリコン層を形成する。この第三段階の陽極化成時に、多孔質シリコン層２内に分離層形成の起源となる多孔率が非常に大きい多孔質シリコン層２ａが薄く形成される。なお、この第三段階の陽極化成においては、例えば３秒間陽極化成を行う場合、１秒間電流を流したら陽極化成を停止し、しばらく時間が経過した後、同じ電流密度でまた１秒間電流を流したら陽極化成を停止し、またしばらく時間が経過した後に、再び同じ電流密度で１秒間電流を流して陽極化成を行ってもよい。これらの陽極化成において、陽極化成溶液としては、例えば、ＨＦ：C_2H_5OH＝１：１のものを用いる。この多孔質シリコン層２の厚さは、単結晶シリコン基板１を繰り返し使用する観点からは、この単結晶シリコン基板１の厚さの減少を少なくし、使用可能回数を多くするために、可能な限り薄くすることが望ましく、好適には２～１５μｍに選ばれ、例えば８μｍ程度に選ばれる。

【００２９】次に、例えば、１１００℃で３０分間水素アニールを行うことにより、多孔質シリコン層２の表面に存在する穴（図示せず）をふさぐ。この後、図３に示すように、多孔質シリコン層２上に、例えばSiH_4 や$SiCl_4$ などを原料ガスとして用いたＣＶＤ法により、例えば１０７０℃で、ｐ型またはｎ型の単結晶シリコン層３をエピタキシャル成長させる。この単結晶シリコン層３の厚さは、この単結晶シリコン層３に形成する二次元ＬＳＩに応じて選ばれるが、好適には、１～３０μｍに選ばれる。また、単結晶シリコン層３の不純物濃

度は、好適には、例えば約10^{14}～10^{17}／ｃｍ^3 に選ばれる。場合によっては、デバイスの性能を向上させるため、この単結晶シリコン層３の不純物濃度を層内で変化させてもよい。

【００３０】上述の水素アニールとエピタキシャル成長とを行っている間に、多孔質シリコン層２中のシリコン原子が移動して再配列する結果、この多孔質シリコン層２中の多孔率が大きい多孔質シリコン層２ａは、引っ張り強度が著しく低い層、すなわち分離層となる。

【００３１】次に、図４に示すように、単結晶シリコン層３をＬＳＩの基板と見なしてＬＳＩプロセスにより第一層目の二次元ＬＳＩ４を形成する。この二次元ＬＳＩ４において、符号５は素子分離用酸化膜、６はＭＯＳＦＥＴ、７は多結晶シリコン配線、８は層間絶縁膜、８ａはビアホール、９は表面金属配線、１０は層間絶縁膜を示す。

【００３２】次に、図５に示すように、二次元ＬＳＩ４の表面にポリイミド１１をコーティングし、シリコン基板のような支持基板１２を接着する。

【００３３】次に、図６に示すように、単結晶シリコン基板１から二次元ＬＳＩ４を剥離する。具体的には、例えば水やエタノールなどの溶液中に単結晶シリコン基板１を浸した状態で、例えば周波数２５ｋＨｚ、電力６００Ｗの超音波を照射し、この超音波のエネルギーにより、分離層としての多孔質シリコン層２ａの剥離強度を弱め、この多孔質シリコン層２ａの部分で単結晶シリコン基板１を剥離する。あるいは、支持基板１２と単結晶シリコン基板１とに互いに逆方向に引っ張り応力を生じさせることにより、分離層としての多孔質シリコン層２ａの部分で単結晶シリコン基板１を剥離する。あるいは、単結晶シリコン基板１と支持基板１２とを、例えば液体窒素から蒸発させた低温の窒素ガスを吹き付けることにより冷却し、単結晶シリコン基板１と支持基板１２との熱収縮の差によるずれ応力を生じさせることにより、分離層としての多孔質シリコン層２ａの部分で単結晶シリコン基板１を剥離する。あるいは、これらの三種類の方法のうちの二つまたは三つを組み合わせることにより、分離層としての多孔質シリコン層２ａの部分で単結晶シリコン基板１を剥離してもよい。

【００３４】次に、図７に示すように、剥離した二次元ＬＳＩ４の裏面の単結晶シリコン層３および素子分離用酸化膜５に、多結晶シリコン配線７に達するスルーホール１３を形成し、このスルーホール１３内に酸化膜１４を形成し、この酸化膜１４を部分的にエッチング除去して多結晶シリコン配線７を再び露出させ、この多結晶シリコン配線７とコンタクトする裏面金属配線１５を形成し、さらにポリイミド１６をコーティングした後、スルーホール１３内の裏面金属配線１５の凹部にＡｕ／Ｉｎプール１７を形成する。

【００３５】一方、図８に示すように、別の単結晶シリコン基板２１上に上述と同様にして多孔質シリコン層２２および単結晶シリコン層２３を形成し、この単結晶シリコン層２３に二次元ＬＳＩ２４を形成する。この二次元ＬＳＩ２４において、符号２５は素子分離用酸化膜、２６はＭＯＳＦＥＴ、２７は多結晶シリコン配線、２８は層間絶縁膜、２８ａはビアホール、２９は表面金属配線、３０は層間絶縁膜、３０ａはビアホール、３１はタングステンプラグを示す。

【００３６】次に、図９に示すように、図８に示す二次元ＬＳＩ２４の表面に図７に示す二次元ＬＳＩ４の裏面をポリイミド１６、３０により接着し、張り合わせる。

【００３７】次に、上述と同様にして単結晶シリコン基板２１から二次元ＬＳＩ４、２４を剥離する。この後、あらかじめ形成された別の二次元ＬＳＩの表面に二次元ＬＳＩ２４の裏面を接着し、張り合わせる。

【００３８】次に、剥離した二次元ＬＳＩ２４の裏面の単結晶シリコン層２３および素子分離用酸化膜２５に、多結晶シリコン配線２７に達するスルーホール３２を形成し、このスルーホール３２内に酸化膜３３を形成し、この酸化膜３３を部分的にエッチング除去して多結晶シリコン配線２７を再び露出させ、この多結晶シリコン配線２７とコンタクトする裏面金属配線３４を形成し、さらにポリイミド３５をコーティングした後、スルーホール３２内の裏面金属配線３４の凹部にＡｕ／Ｉｎプール３６を形成する。

【００３９】このようにして、単結晶シリコン層に形成された薄膜状の二次元ＬＳＩを必要な層数だけ順次張り合わせた後、最後に張り合わされた二次元ＬＳＩの裏面に、図１０に示すように、単結晶シリコン基板３７に形成された二次元ＬＳＩ３８の表面を張り合わせる。この二次元ＬＳＩ３８において、符号３９は素子分離用酸化膜、４０はＭＯＳＦＥＴ、４１は多結晶シリコン配線、４２は層間絶縁膜、４２ａはビアホール、４３は表面金属配線、４４は層間絶縁膜、４４ａはビアホール、４５はタングステンプラグを示す。この後、支持基板１１を研磨またはエッチングにより除去し、目的とする三次元超ＬＳＩを完成させる。以上のように、この実施形態によれば、単結晶シリコン基板１上に多孔質シリコン層２を介して単結晶シリコン層３を形成し、この単結晶シリコン層３に二次元ＬＳＩを形成した後、多孔質シリコン層２の部分で剥離を行うことにより薄膜状の二次元ＬＳＩを短時間で容易に形成することができる。そして、このようにして、必要な数の薄膜状の二次元ＬＳＩを張り合わせた後、これらの二次元ＬＳＩを単結晶シリコン基板３７に形成された二次元ＬＳＩ３８と張り合わせることにより、所望の層数の二次元ＬＳＩからなる三次元超ＬＳＩを短時間で製造することができる。

【００４０】また、単結晶シリコン基板１は、その表面に形成された多孔質シリコン層２を除去することにより、再び図１に示す状態になるので、再度図２に示す工

程を実行することができる。すなわち、単結晶シリコン基板１の再利用が可能であるので、その分だけ薄膜単結晶シリコン太陽電池の低コスト化を図ることができる。具体的には、例えば、多孔質シリコン層２の厚さが８μｍ、単結晶シリコン基板１を再使用するための研磨により除去される厚さが３μｍ程度であるとすると、薄膜単結晶シリコン太陽電池の製造の１サイクルで減少する単結晶シリコン基板１の厚さは１１μｍである。したがって、単結晶シリコン基板１を１０回使用しても、単結晶シリコン基板１の厚さの減少は１１０μｍに過ぎないため、通常は単結晶シリコン基板１を少なくとも１０回は使用することが可能である。なお、単結晶シリコン基板１の表面に形成された多孔質シリコン層２の除去はエッチングや電解研磨などにより行うことができる。この多孔質シリコン層２を電解研磨により除去する場合の条件の一例を挙げると、電解研磨溶液にＨＦ濃度が低い溶液、例えばＨＦ：C_2H_5OH＝１：１のものを用いたときには、電流密度を４００ｍＡ／ｃｍ^2 程度とする。

【００４１】以上により、高集積、高密度、高速動作、さらに並列信号処理および多機能化が可能な高性能の三次元超ＬＳＩを低コストで製造することができる。

【００４２】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【００４３】例えば、上述の実施形態においては、最下層、すなわち第１層目の二次元ＬＳＩ３３は単結晶シリコン基板３２に形成されたものであるが、第２層目以上の二次元ＬＳＩと同様に、単結晶シリコン層に形成された薄膜状の二次元ＬＳＩであってもよい。

【００４４】

【発明の効果】以上説明したように、この発明による三次元回路素子の製造方法によれば、単結晶半導体層の厚さを１μｍ以上とすることによりこの単結晶半導体層にＣＣＤやＭＯＳ型撮像素子やトレンチ型キャパシタをメモリセルに用いたＤＲＡＭなどを形成することができ、また、個々の二次元回路素子を短時間で形成することができ、しかも、二次元回路素子の形成に用いた単結晶基板は再利用することができるので、ＣＣＤやＭＯＳ型撮像素子やトレンチ型キャパシタをメモリセルに用いたＤＲＡＭなどを含む三次元回路素子を低コストで製造することができる。

【００４５】また、この発明による三次元回路素子によれば、第２層目以上の二次元回路素子の少なくとも一つが１μｍ以上の厚さを有する単結晶半導体層に設けられていることにより、ＣＣＤやＭＯＳ型撮像素子やトレンチ型キャパシタをメモリセルに用いたＤＲＡＭなどを含む三次元回路素子を実現することができる。

【図面の簡単な説明】

【図１】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図２】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図３】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図４】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図５】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図６】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図７】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図８】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図９】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図１０】この発明の一実施形態による三次元超ＬＳＩの製造方法を説明するための断面図である。

【図１１】従来のＣＵＢＩＣ技術による三次元ＩＣの製造方法を説明するための断面図である。

【図１２】従来のＣＵＢＩＣ技術による三次元ＩＣの製造方法を説明するための断面図である。

【図１３】従来のＣＵＢＩＣ技術による三次元ＩＣの製造方法を説明するための断面図である。

【図１４】従来のＣＵＢＩＣ技術による三次元ＩＣの製造方法を説明するための断面図である。

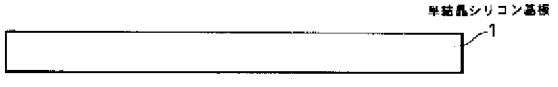
【図１５】従来のＣＵＢＩＣ技術による三次元ＩＣの製造方法を説明するための断面図である。

【図１６】従来のＣＵＢＩＣ技術による三次元ＩＣの製造方法を説明するための断面図である。

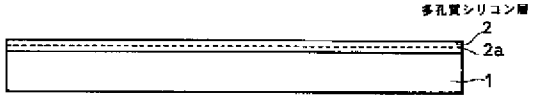
【符号の説明】

１、２１、３７・・・単結晶シリコン基板、２、２ａ、２２、２２ａ・・・多孔質シリコン層、３、２３・・・単結晶シリコン層、４、２４、３８・・・二次元ＬＳＩ、５、２５、３９・・・素子分離用酸化膜、６、２６、４０・・・ＭＯＳＦＥＴ、１１、１６・・・ポリイミド、１２・・・支持基板

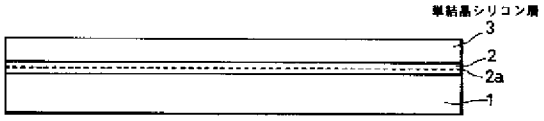
【図１】



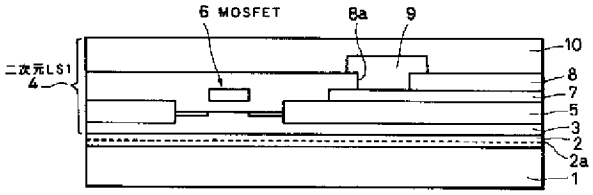
【図２】



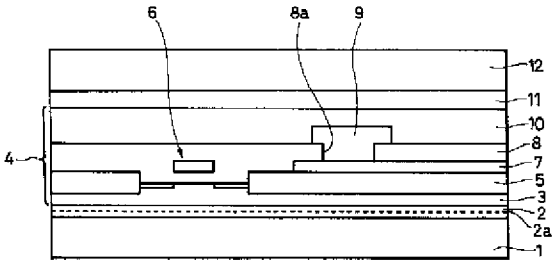
【図３】



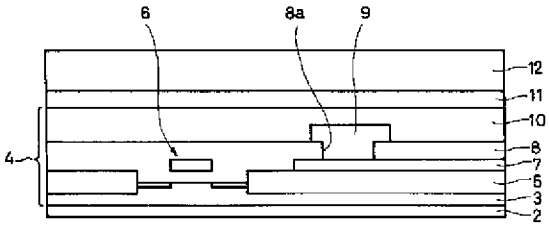
【図４】



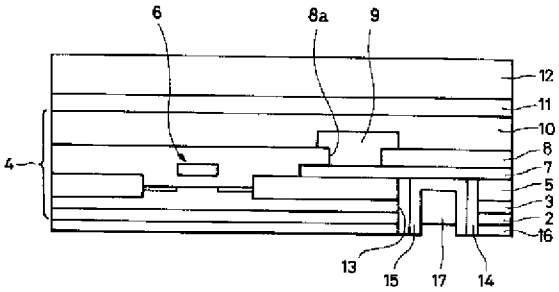
【図５】



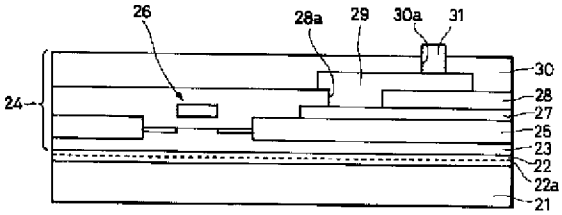
【図６】



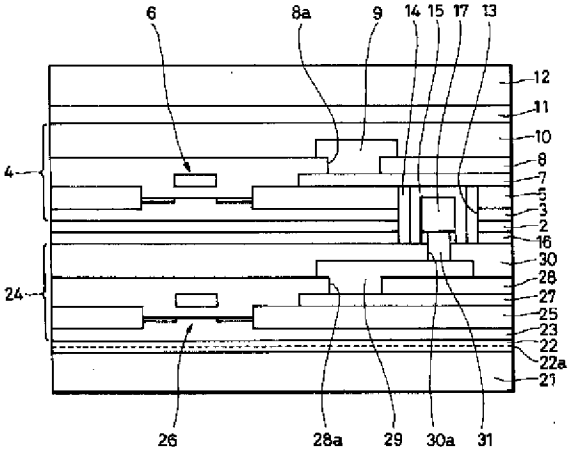
【図７】



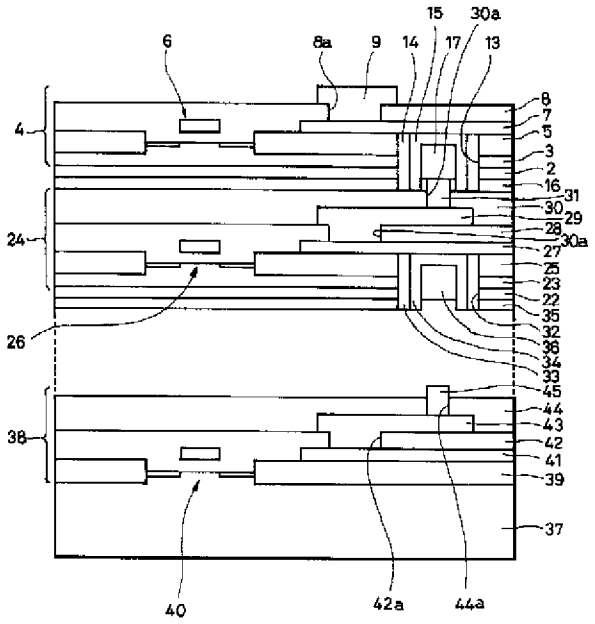
【図８】



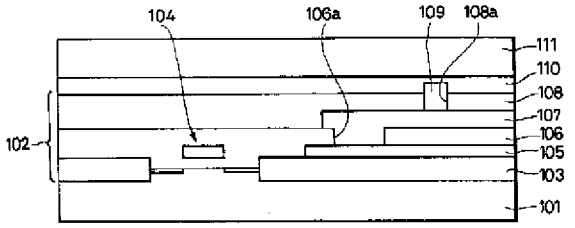
【図９】



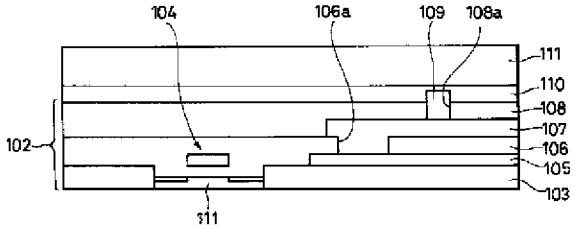
【図１０】



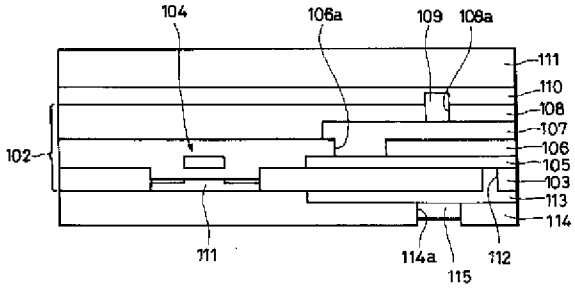
【図１１】



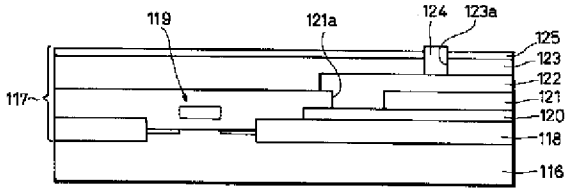
【図１２】



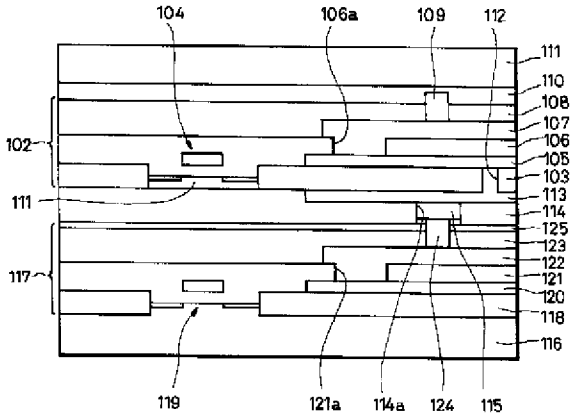
【図１３】



【図１４】



【図１５】



【図１６】